

СПОСОБ И УСТРОЙСТВО ДЛЯ ВЫРАВНИВАНИЯ ПОРЯДКОВ М ДВОИЧНЫХ ЧИСЕЛ

METHOD AND APPARATUS FOR ALIGNING ORDERS M BINARY NUMBERS

И.П. Осинин, В.С. Князьков
I.P. Osinin, V.S. Knyazkov

Аннотация

Приведен способ выравнивания порядков m двоичных чисел и его схемотехническая реализация в базе однородных вычислительных сред. Повышение быстродействия в предложенном устройстве достигается за счет параллельного нахождения максимального порядка, а также параллельно-конвейерного вычисления разности между наибольшим порядком и всеми остальными порядками исходных чисел.

Abstract

Shows the alignment of the order m of binary numbers and its circuitry implementation in the basis of homogeneous computing environments. Increased performance on the proposed device is achieved by finding the maximum order of the parallel and parallel-pipelined calculating the difference between the highest order and all other orders of the original numbers.

Ключевые слова: вещественные числа, порядок, однородная вычислительная среда
Keywords: Real numbers, order, homogeneous computing environment

1. Введение

В настоящее время мощности новых суперкомпьютеров наращиваются постоянно. Высокопроизводительные вычисления применяются для обеспечения растущих запросов науки, техники, экономики, веб-сервисов, энергетики, геофизики и многих других. Для подобных проектов отрабатываются многие инновационные решения повышения производительности, новые пути преодоления существующих ограничений, особенно в отношении энергопотребления.

Решением задачи повышения скорости вычислений в арифметико-логическом устройстве (АЛУ) при приемлемых аппаратных затратах является построение АЛУ, операционная часть которых представляет собой универсальное вычислительное пространство, перестраиваемое для выполнения конвейерно-параллельной обработки различных арифметико-логических операций. Однако, при выполнении таких операций с плавающей запятой, как: сложение, вычитание, сравнение и других необходимо предварительно выравнивать порядки операндов, что требует дополнительных временных и аппаратурных затрат.

В статье представлен оригинальный способ выравнивания порядков m двоичных чисел, основанный на анализе единичных бит в разрядных срезах, которые формируются из разрядов порядков исходных двоичных чисел. Техническим результатом от использования устройства для выравнивания порядков m двоичных чисел является повышение быстродействия за счет параллельно-конвейерного нахождения максимального порядка с помощью анализа разрядных срезов операндов, а затем параллельного вычисления разностей максимального порядка и остальных порядков m двоичных чисел.

2. Способ выравнивания порядков m двоичных чисел

Каждый i -ый двоичный позиционный порядок можно представить в виде последовательности бит $A_i(a_n, a_{n-1}, \dots, a_2, a_1)$, где n -разрядность числа, $i \in [1, m]$. Тогда n слагаемых можно представить в виде матрицы:

$$\begin{pmatrix} a_{1,n}, a_{1,n-1}, \dots, a_{1,1} \\ a_{2,n}, a_{2,n-1}, \dots, a_{2,1} \\ \dots \\ a_{m,n}, a_{m,n-1}, \dots, a_{m,1} \end{pmatrix}$$

Предлагаемый способ выравнивания порядков m двоичных чисел проходит в два этапа.

На первом этапе осуществляется параллельный поиск наибольшего порядка путем анализа n двоичных векторов, начиная со старших разрядов, являющихся столбцами приведенной выше матрицы. Если в i -ом разрядном срезе присутствуют только нули, происходит переход к анализу $(i+1)$ -го разрядного среза. При обнаружении более чем одной единицы в i -ом разрядном срезе, порядки, содержащие в i -ой позиции нули, исключаются из дальнейшего анализа. В том случае, если в i -ом разрядном срезе обнаружена лишь одна единица, то порядок, содержащий эту единицу является наибольшим среди анализируемых.

На втором этапе параллельно вычисляются разности между каждым из исходных порядков и найденным наибольшим порядком.

Полученные разности указывают на сколько разрядов необходимо сдвинуть вправо соответствующие мантиссы исходных чисел для того, чтобы выровнять порядки относительно наибольшего.

Пример: необходимо выровнять четыре ($m=4$) трехбитных ($n=3$) порядка: $a_1=110$, $a_2=101$, $a_3=001$, $a_4=111$. Запишем их в виде матрицы с элементами a_{ij} :

$$\begin{pmatrix} 110 \\ 101 \\ 001 \\ 111 \end{pmatrix}$$

При анализе первого разрядного среза ($b_1=1101$) исключается из дальнейшего анализа порядок a_3 , так как он имеет в старшем разряде нуль (символ -). При анализе второго разрядного среза ($b_2=10-1$) исключается из дальнейшего анализа порядок a_2 , так как он имеет во втором разряде нуль. При анализе третьего разрядного среза ($b_3=0--1$) исключается порядок a_1 , так как он имеет в третьем разряде нуль. Таким образом, единственный не исключённый порядок a_4 является наибольшим.

Затем исходные порядки вычитаются из наибольшего: $s_1=a_4-a_1=111-110=001$, $s_2=a_4-a_2=111-101=010$, $s_3=a_4-a_3=111-001=110$, $s_4=111-111=000$. Полученные разности s_1, s_2, s_3, s_4 смещение вправо разрядов мантисс соответствующих порядкам исходных чисел для выравнивания.

3. Устройство для нахождения наибольшего числа

На рисунке 1 приведена структурная схема ячейки устройства для нахождения наибольшего числа, где a, b – информационные входы, clk – вход синхронизации, Q

–выход ячейки, & – элемент «И», =1 – элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ», Tg– информационный триггер.

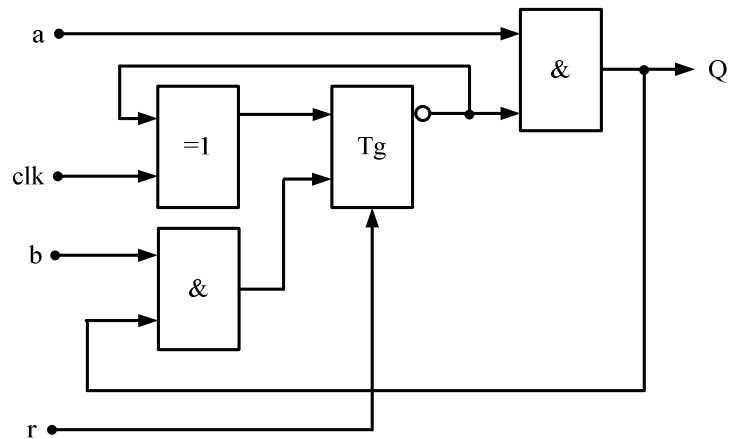


Рисунок 1 – Структурная схема ячейки

Ячейка блока устройства для нахождения наибольшего числа реализует следующую логическую функцию:

$$Q(t)=a(t-1)\&(\sim(b(t-1)\oplus(Q(t-1))),$$

где a, b – соответственно состояние сигналов на входах ячейки; Q – состояние сигнала на выходе Q ячейки.

Устройство для нахождения наибольшего числа (рисунок 2) состоит из ячеек рассмотренного типа и m-входового элемента ИЛИ. Количество ячеек равно m. Вход синхронизации и вход сброса устройства соединен с входами синхронизации и входами сброса всех ячеек соответственно. Перед началом работы устройства на вход сброса подается высокий уровень сигнала для установки триггеров ячеек в нуль.

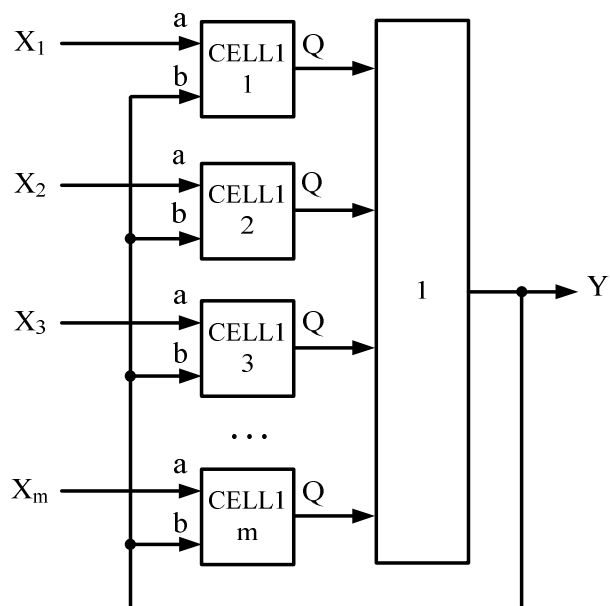


Рисунок 2 – Структурная схема устройства для нахождения наибольшего числа

На каждом такте на входы синхронизации триггеров подается сигнал синхронизации. На первый информационный вход ячеек (а) подаются разрядные срезы исходных порядков, начиная со старших разрядов. Каждый следующий разрядный срез подается на следующий такт работы устройства. Второй информационный вход ячеек (b) соединен с выходом m-входного элемента ИЛИ. Высокий уровень сигнала на выходе этого элемента указывает на то, что в анализируемом разрядном срезе присутствуют единицы. В этом случае те ячейки, которые в текущем такте имеют на выходе низкий уровень сигнала, блокируются с помощью триггера, который входит в состав ячейки. На выходе заблокированной ячейки всегда присутствует значение логического нуля. Анализ продолжается для тех ячеек, на выходе которых присутствует высокий уровень сигнала.

В результате, через m тактов работы устройства будут заблокированы все ячейки, кроме тех, которым соответствует наибольшее значение числа из анализируемых. При повторном прохождении исходных разрядных срезов на выходе Y устройства будет присутствовать разряд искомого наибольшего числа, позиция которого соответствует поданному разрядному срезу.

Для того, чтобы устройство искало не максимальное, а минимальное число, необходимо заменить элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ» на элемент «И» в каждой ячейке рассматриваемого устройства. Последовательность работы устройства при этом сохраняется.

Так как в устройстве цепь распространения сигнала имеет три логических элемента, время задержки распространения сигнала составляет $3 \cdot t$, где t – время задержки сигнала одним логическим элементом.

4. Ячейка поразрядного вычитания чисел

Ячейка поразрядного вычитания чисел обеспечивает вычитание пары n-разрядных операндов [1]. На рисунке 3 приведена структурная схема предлагаемой ячейки, где a, b – информационные входы, clk – вход синхронизации, r – вход сброса, s – информационный выход, & – элемент «И», =1 – элемент «ИСКЛЮЧАЮЩЕЕ ИЛИ», 1 – элемент «ИЛИ», Tg – информационный триггер.

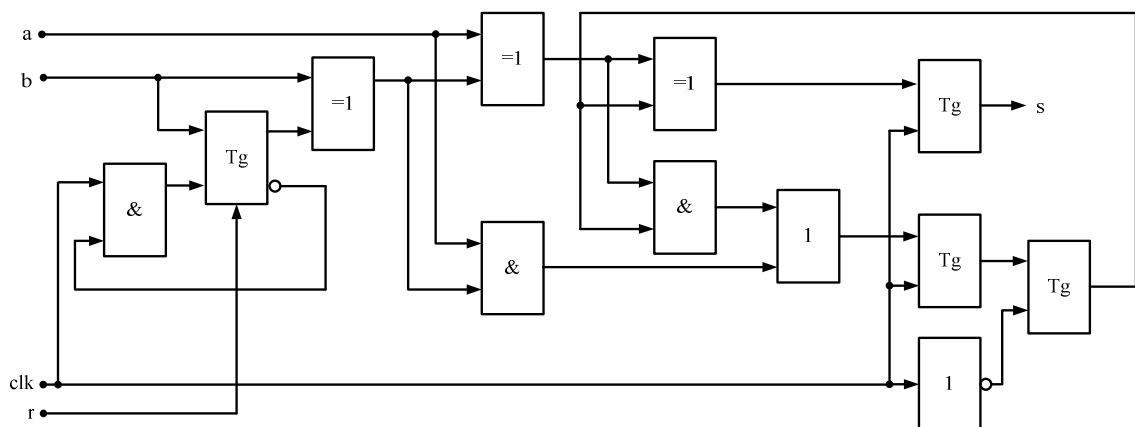


Рисунок 3 – Структурная схема ячейки поразрядного вычитания чисел

Ячейка поразрядного вычитания реализует следующую систему логических функций:

$$s(t) = a \oplus (b \oplus b(t-1)) \oplus p(t-1);$$

$$p(t) = (a \& (b \oplus b(t-1))) \vee (p(t-1) \& (a \oplus (b \oplus b(t-1))));$$

где a, b – соответственно состояние сигналов на входах ячейки;
 $s(t)$ – состояние сигнала на выходе ячейки;
 $p(t)$ – обратная связь сигнала переноса внутри ячейки.

Операция вычитания в предлагаемой ячейке начинается с подачи высокого уровня сигнала на вход сброса. В каждом такте на вход синхронизации всех триггеров подается сигнал синхронизации. На первый и второй информационные входы ячейки подаются разряды уменьшаемого и вычитаемого, начиная с младших разрядов. Причем, каждая следующая пара разрядов подается на следующий такт работы устройства. Ячейка состоит из однобитного сумматора с двумя триггерами в канале переноса и формирователя дополнительного кода вычитаемого. Для организации конвейерного режима результирующий бит записывается в триггер, выход которого соединен с выходом ячейки.

На следующий такт работы ячейки после подачи исходных разрядов будет сформирован младший бит результата вычитания, после чего биты результата доступны каждый последующий такт работы устройства. В результате через n тактов будет сформирована искомая разность, где n – разрядность операндов [2].

5. Устройство для выравнивания порядков m двоичных чисел

Вход синхронизации устройства соединен с входом синхронизации блока нахождения наибольшего порядка и блока вычитания. Вход сброса устройства соединен с входом сброса блока нахождения наибольшего порядка и блока вычитания. m -разрядный вход устройства соединен со вторым m -разрядным информационным входом блока вычитания и m -разрядным информационным входом блока нахождения наибольшего порядка, выход которого соединен с первым информационным входом блока вычитания.

На рисунке 4 представлена структурная схема устройства для выравнивания порядков m двоичных чисел в общем виде, где 1 – m -входовый элемент ИЛИ, 2 – блок нахождения наибольшего порядка, 3 – блок вычитания, CELL1 – ячейки блока нахождения наибольшего порядка, CELL2 – ячейки блока вычитания, m -разрядный информационный вход X_1-X_m , m -разрядный выход Y_1-Y_m .

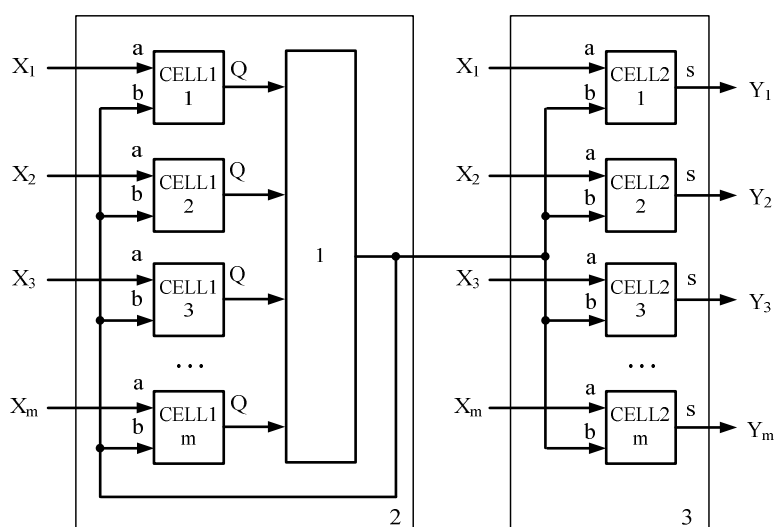


Рисунок 4 – Структурная схема устройства для выравнивания порядков

Операция выравнивания порядков состоит из двух этапов.

На первом этапе находится наибольший остаток. Разряды порядков в виде разрядных срезов подаются на m -разрядный информационный вход устройства, начиная со старших разрядов. Причем, каждый следующий разрядный срез подается на следующий такт работы устройства.

В каждом такте происходит анализ очередной позиции порядков. Если в текущем разрядном срезе присутствует хотя бы одна единица, то запись последующих разрядов в ячейки, содержащие в этом такте нули, блокируется. В случае, когда в разрядном срезе присутствуют только нули, запись ни в одну из ячеек не блокируется. Таким образом, после прохождения всех разрядных срезов запись в соответствующие ячейки будет заблокирована для всех порядков, отличных от наибольшего.

На втором этапе происходит параллельно-конвейерное вычитание исходных порядков из наибольшего порядка. Разряды порядков в виде разрядных срезов подаются на m -разрядный информационный вход устройства, начиная с младших разрядов. Причем, каждый следующий разрядный срез подается на следующий такт работы устройства.

В результате через один тактов работы устройства формируется младший бит разности n -разрядных порядков. После чего биты результата доступны на выходе устройства каждый последующий такт работы. Таким образом, устройство реализует конвейерный принцип обработки информации. Так как в ячейке самая длинная цепочка распространения сигнала имеет четыре логических элемента, время задержки распространения сигнала в составляет $4 \cdot t$, где t – время задержки сигнала одним логическим элементом.

Если принять за время вычитания пары n -разрядных порядков чисел n тактов работы устройства, то время нахождения наибольшего порядка в конвейерном режиме равно n тактов, а время параллельного вычисления разностей в конвейерном режиме равно n тактов, тогда время работы устройства составит $2 \cdot n$ тактов. При этом время нахождения наибольшего порядка известным итерационным способом равно $m \cdot n$ тактов, где m – количество исходных порядков, а время последовательного вычитания порядков из наибольшего также составит $m \cdot n$ тактов. Таким образом, быстродействие устройства на базе описанного способа в $(2 \cdot m \cdot n) / (2 \cdot n) = m$ раз выше по сравнению с быстродействием устройства на базе известного итерационного способа суммирования. Например, при количестве порядков $m=64$, быстродействие предлагаемого устройства больше в 64 раза [3].

6. Результаты экспериментального моделирования

С целью апробации устройства для конвейерных вычислений суммы m n -разрядных чисел был выбран САПР фирмы Altera Quartus II Web Edition, поскольку он обладает богатым функционалом, оставаясь при этом свободно распространяемым.

Функциональная схема устройства для сжатия двоичных векторов представлена на рисунке 5, где блоки cell – ячейки нахождения наибольшего числа, cell2 – ячейки поразрядного вычитания.

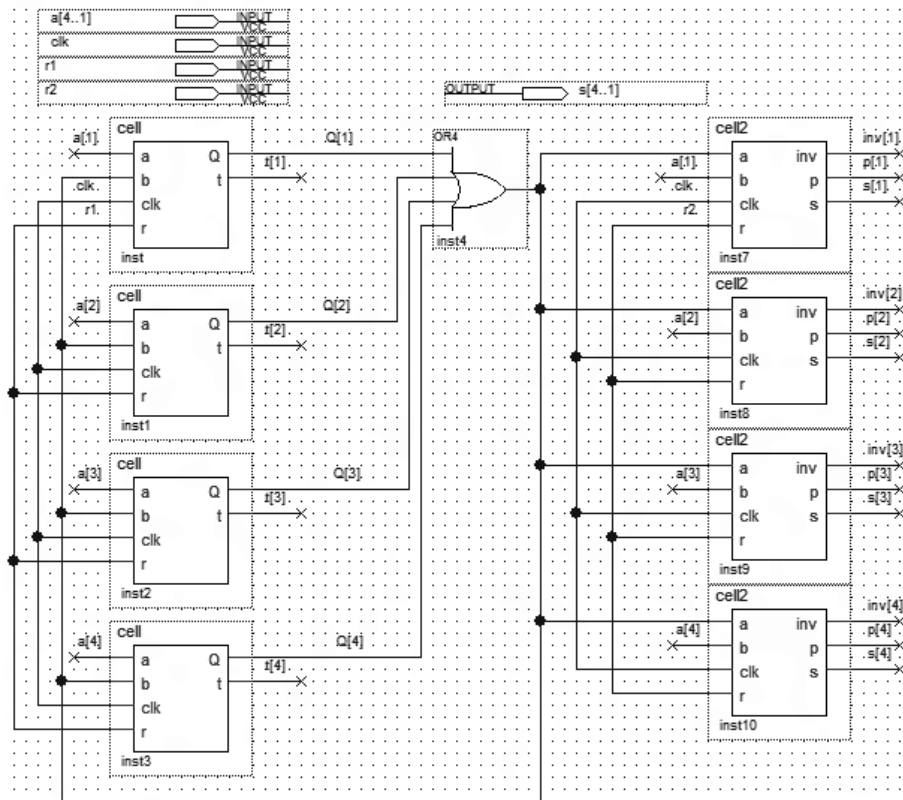


Рисунок 5 – Функциональная схема устройства для выравнивания порядков

Для экспериментального моделирования была выбрана разрядность порядков $n=3$, а их количество $m=4$. Тогда количество ячеек нахождения наибольшего числа равно количеству ячеек поразрядного вычитания и равно четырем. Исходные разрядные срезы подаются на входы устройства $a[4..1]$ каждый такт синхронизации, начиная со старшего.

Время работы устройства нахождения наибольшего числа равно $n=3$ такта, поэтому результат поиска – наибольший порядок доступен на выходе четырехвходового элемента ИЛИ через три такта работы устройства. При повторной подаче исходных разрядных срезов на вход устройства, начиная с младших разрядов, на первый информационный вход ячеек поразрядного вычитания чисел подаются разряды наибольшего порядка в качестве уменьшаемого, а на второй информационный вход - остальные порядки в качестве вычитаемых. На следующий такт после начала повторной подачи разрядных срезов, младшие биты результирующих разностей доступны на выходе $s[4..1]$ устройства, после чего остальные биты искомым разностей доступны каждый следующий такт работы устройства. Временная диаграмма работы устройства (рисунок 6) для выравнивания порядков представлена на рисунке 6. Исходные порядки $a_1=110$, $a_2=101$, $a_3=001$, $a_4=111$ в виде разрядных срезов $X_1=1101$, $X_2=1001$, $X_3=0111$ последовательно подаются на вход схемы $a[4..1]$. Время такта (сигнал clk) равно 10 нс.

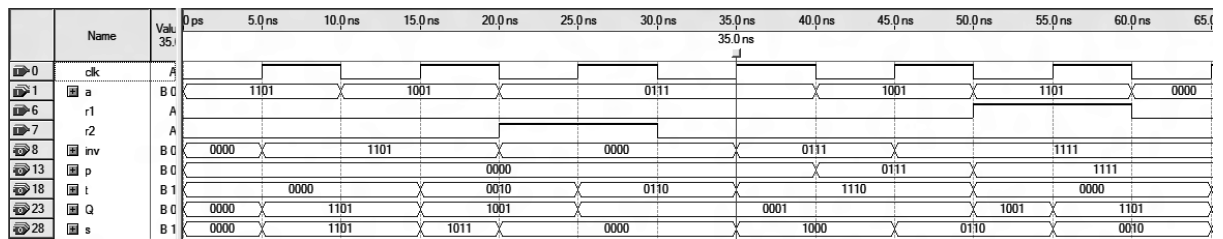


Рисунок 6 – Временная диаграмма работы устройства для выравнивания порядков

Приведенная диаграмма показывают продвижение данных с необходимыми преобразованиями в устройстве такт за тактом. Промежуточные данные с выходов каждого столбца однородной вычислительной среды обозначены на диаграмме выходами $inv[4..1]$, $p[4..1]$, $t[4..1]$ и $Q[4..1]$. Высокий уровень сигнала на входах $r1$ и $r2$ означает сброс ячеек нахождения наибольшего порядка и ячеек вычитания соответственно.

Уровень сигнала, равный единице на выходе $t[4..1]$ свидетельствует об исключении из процесса поиска порядка, который анализируется в соответствующей ячейке устройства нахождения наибольшего порядка.

Уровень сигнала на выходе $Q[4..1]$ показывает уровень сигнала на выходе Q соответствующей ячейки устройства нахождения наибольшего порядка.

Уровень сигнала, равный единице на выходе $inv[4..1]$ свидетельствует о начале инвертирования вычитаемого при формировании дополнительного кода.

Уровень сигнала, равный единице на выходе $p[4..1]$ свидетельствует о формировании переноса в соответствующей сигналу ячейке устройства вычитания.

Начиная с 35 нс, на выходе $s[4..1]$ последовательно выдаются разрядные срезы искомым разностей. Таким образом, результат $Y_1=1000$, $Y_2=0110$, $Y_3=0010$ сформирован на выходе за шесть тактов работы устройства. Преобразуя из разрядных срезов в двоичные числа, получим: $s_1=001$, $s_2=010$, $s_3=110$, $s_4=000$, что соответствует результату, полученному в рассмотренном примере в пункте 2.

7. Заключение

Устройство для выравнивания порядков m двоичных чисел на базе устройства для нахождения наибольшего числа позволяет вычислять разности между наибольшим порядком и всеми остальными порядками исходных чисел.

Благодаря регулярным соединениям и ячейкам двух типов устройство легко масштабируемо, что позволяет динамически изменять количество исходных операндов при линейном росте аппаратных затрат. При этом используется оригинальный способ выравнивания порядков, который позволяет заменить итерационный процесс нахождения наибольшего числа параллельным анализом бит в разрядном срезе.

Благодаря простоте ячеек, которые применяются в устройстве и параллельно-конвейерному режиму работы, достигается высокое быстродействие устройства. Время на обработку одного разрядного среза сводится к времени срабатывания простого логического элемента.

Количество тактов, необходимое для нахождения наибольшего порядка равно n . Количество тактов, необходимое для параллельного вычисления разностей также равно n . Таким образом, время выравнивания порядков не зависит от количества исходных порядков и равно $2 \cdot n$ тактам работы устройства, где n – разрядность порядков. Время работы устройства, построенного на базе известного

итерационного способа выравнивания порядков, равно $2^m \cdot n$ тактов, что в m раз медленнее рассмотренного устройства, где m – количество выравниваемых порядков.

Рассмотренное устройство применимо при построении АЛУ, выполняющих массовые арифметические операции над двоичными числами, которые в свою очередь используются в арифметических ускорителях и сопроцессорах.

Литература

1. И. П. Осинин, В. С. Князьков Способ и устройство для конвейерных вычислений суммы m n -разрядных чисел // Сборник материалов VI всероссийской молодежной научно-инновационной школы «Математика и математическое моделирование»: Статья, Саров, 17–20 апреля, 2012 С. 89-97.
2. И. П. Осинин, В. С. Князьков Способ организации вычислений суммы n m -разрядных чисел // Первый всероссийский конгресс молодых ученых: Тез. докл. Санкт-Петербург, 10–13 апреля, 2012. – С. 87-88.
3. И. П. Осинин, В. С. Князьков Концепция модулярно-систолической структуры для массовых арифметических вычислений // Сборник трудов XIX всероссийской научно-методической конференции «Телематика'2011»: Тез. докл. г. Санкт-Петербург, 25 - 28 июня, 2012 С. 323-324.

Сведения об авторах:

Осинин Илья Петрович

ФГБОУ ВПО "Вятский государственный университет", аспирант

Окончил в 2010 г. ФГБОУ ВПО "Вятский государственный университет

7 печатных работ

Однородные вычислительные среды, модулярная арифметика

stalker-lord@mail.ru, +7(909)141-98-11

Князьков Владимир Сергеевич

ФГБОУ ВПО "Вятский государственный университет", профессор кафедры ЭВМ

д.т.н., профессор кафедры ЭВМ

Однородные вычислительные среды, модулярная арифметика

knyazkov@list.ru, +7(905)871-86-21

Information about the authors:

Iliya Osinin

Vyatka State University, graduate

stalker-lord@mail.ru, +7(909)141-98-11

Vladimir Knyazkov

Vyatka State University, professor

knyazkov@list.ru, +7(905)871-86-21